



基于 BV 算法的片上 TCAM 解决方案

主题	基于 BV 算法的片上 TCAM 解决方案
文档号	
创建时间	2019-12-19
最后修改	2019-12-19
版本号	1.0
文件名	基于 BV 算法的片上 TCAM 解决方案.pdf
文件格式	Portable Document Format



目录

一、XS-TCAM-104x320 的基本指标.....	3
二、XS-TCAM-104x320 的实现原理.....	3
2.2 设计思想.....	4
2.3 规则长度扩展.....	5
2.4 规则数目扩展.....	5





基于 BV 算法的片上 TCAM 解决方案

为此，湖南新实网络科技有限公司基于 FPGA 内部的查找表逻辑和 RAM 资源，设计实现了具有 TCAM 功能的 IP 核——XS-TCAM-104x320。

一、XS-TCAM-104x320 的基本指标

目前实现的指标：

1. 编译速率：125Mhz
2. 规则条数：320 条
3. LUT 资源：16799
4. RAM(M10K)资源：368
5. 查询周期：首次单条规则查询 12 周期出结果，后续连续查询则 1 个时钟周期出结果。

二、XS-TCAM-104x320 的实现原理

XS-TCAM-104x320 IP，优势如下：

1. 支持匹配域关键字的按需扩展；
2. 支持规则条目的按需扩展；
3. 支持硬件进行规则更新；
4. 采用流水化并行的处理方式可实现高速查找匹配；
5. 支持规则查找/更新按掩码匹配；
6. 支持按优先级查找匹配。



2.2 设计思想

XS-TCAM-104x320 IP 使用二维数组的存储方式，并行的进行规则更新及查找匹配，并采用流水化的方式实现多条规则匹配查找，从而实现高效快速的分类查找的目的。另外，此算法支持灵活的匹配域及流表表项的扩展能力，可满足将来匹配域扩展及流表表项扩展的需求。

XS-TCAM-104x320 IP 是基于 FPGA 每个内嵌 RAM 块可配置成 512*20 的双端口 RAM 进行的实现，图 1 为 XS-TCAM-104x320 IP 基本处理结构图，由于 RAM 块为 512*20 因此切分的匹配域关键字（Key）为 9 位，查找逻辑以 9 位 Key 为查找地址对表项进行访问，得到 20 位的规则索引标识位，优先级选择器则根据优先级输出最高优先级的规则索引。此算法将索引 0 位的规则定义为最高优先级的索引位。



图 1 XS-TCAM-104x320 IP 基本处理结构图

参照图 2，图 2 为流表匹配域的存储结构图，其为 512*20 的 RAM 存储块，在此可视为 512*20 的二维数组，其中行地址 512 个，为匹配域关键字（Key）字段；列地址为 20 个，为规则索引字段(Index)。图 2 将 9 位的 Key 作为地址查找 RAM（Key=00111_1111），查找出的结果为此关键字段命中的 20 条规则的索引标识位(Index Bitmap)



为 0_0005，其中第 0，2，位为 1，表示该 key 匹配了上述 2 条规则。

由于 0 为高优先级位，因此 0 号索引被输出。

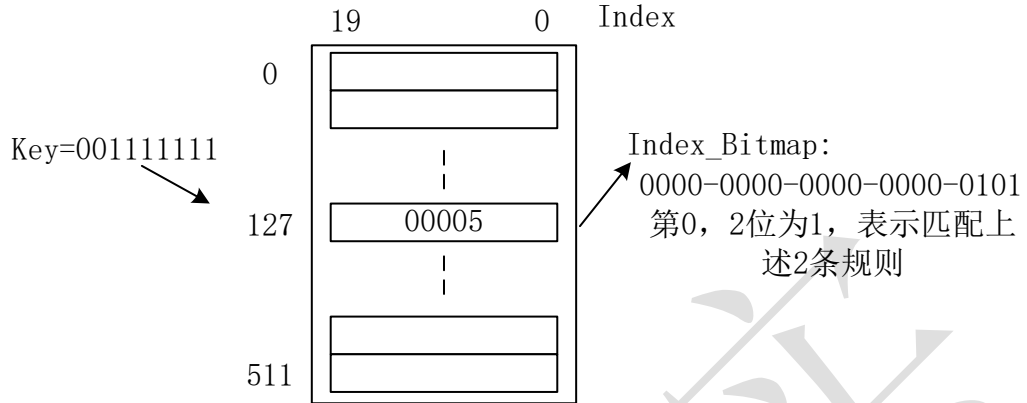


图 2 流表匹配域存储结构图

2.3 规则长度扩展

对于 104 位的五元组信息,需 12 个 9*20TCAM_CORE 即可实现,

输出的 bitmap 进行比特与即可得到匹配的 bitmap, 如图 3 所示;

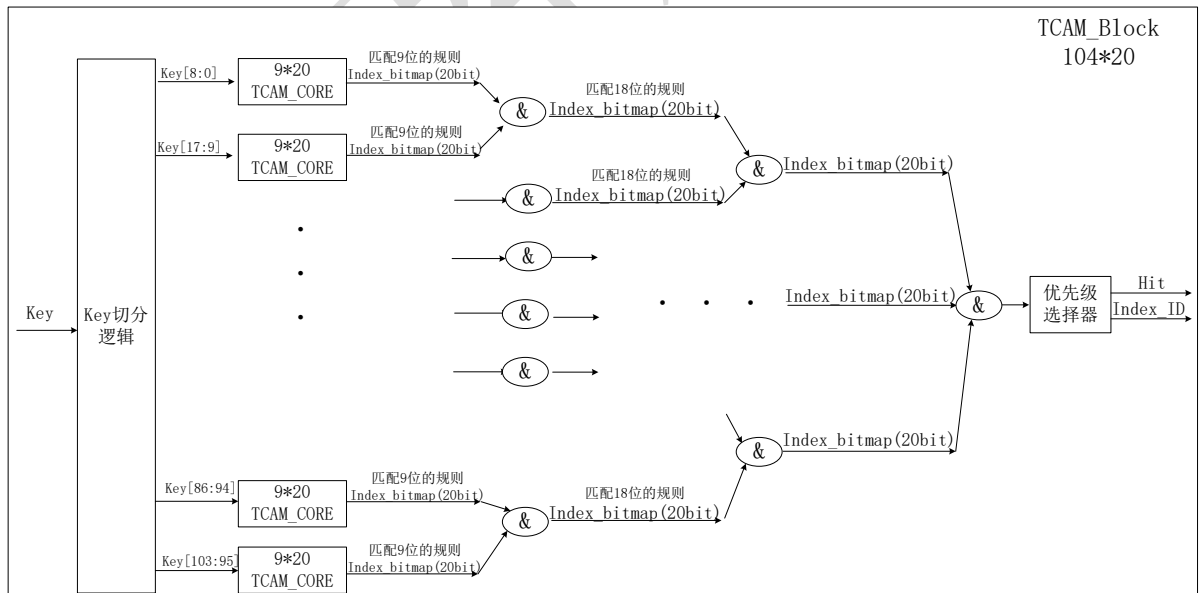


图 3 规则长度扩展到五元组处理流程图

最后, 通过优先级选择器选择优先级比较高的索引输出。

2.4 规则数目扩展



通过扩展 TCAM_Block 模块可以实现规则数目的扩展，如图 4 所示，通过将不同的规则对应到不同 TCAM_Block 模块的 Bitmap 中，则可以并行的扩展规则的数目。通过此方式在资源允许的情况下可以无限制的扩展。

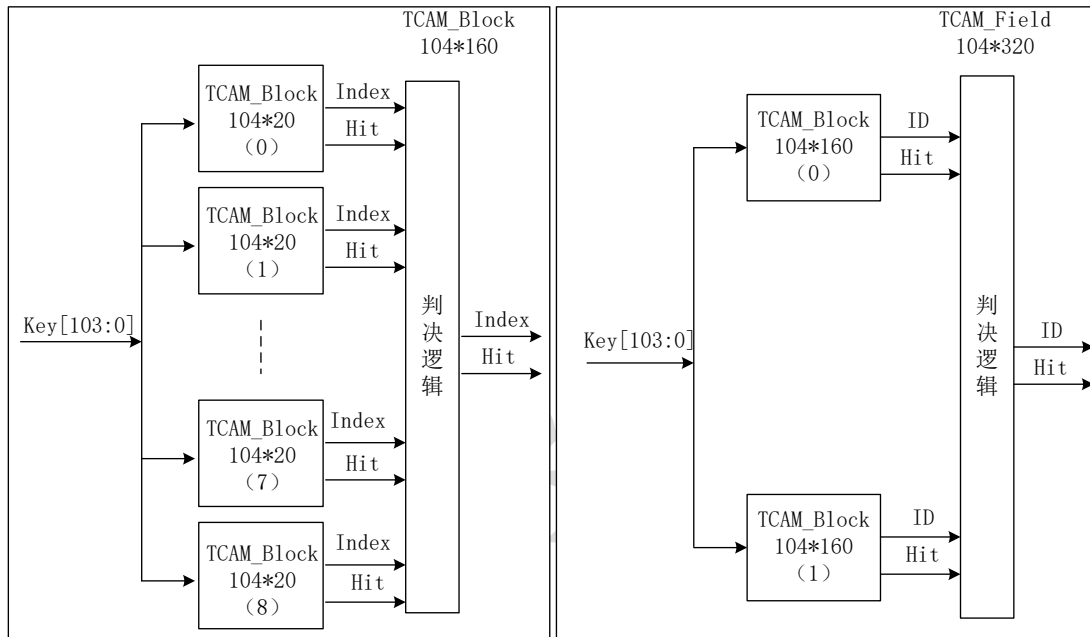


图 4 规则扩展结构图

目前基于 Altera A5 FPGA 的 FAST 架构只实现的 320 条规则，若用户需要更多表项即可按需扩展。